

LEE, Chin
July 17, 2003
BSEB, WP

(703) 205-8000

4444-0120A

10F

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請 日：西元 2002 年 11 月 29 日
Application Date

申請 案 號：091134866
Application No.

申請 人：威盛電子股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 6 月 26 日
Issue Date

發文字號：09220634200
Serial No.

申請日期：

案號：

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	容錯記憶體模組電路
	英 文	Memory Modeling Circuit with Fault Tolerant
二、 發明人	姓 名 (中文)	1. 李守勤
	姓 名 (英文)	1. Chin LEE
	國 籍	1. 中華民國
	住、居所	1. 台北縣新店市中正路533號8樓
三、 申請人	姓 名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓 名 (名稱) (英文)	1. VIA Technologies, Inc.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 臺北縣新店市中正路533號8樓
	代表人 姓 名 (中文)	1. 王雪紅
	代表人 姓 名 (英文)	1. Cher WANG



四、中文發明摘要 (發明之名稱：容錯記憶體模組電路)

一種容錯記憶體模組電路，包含比較電路、控制電路以及測試電路。其中的比較電路，用以接收儲存於複數個記憶體中相同位置之資料，並比較這些資料以產生正確的讀出資料。控制電路與記憶體的 control 信號相連接，並偵測該 control 信號。控制電路具有資料輸出入接點，當記憶體的 control 信號為寫入時，控制電路進入寫入模式，並且將由資料輸出入接點接收之寫入資料分別直接寫入複數個記憶體中相同之位置。當記憶體的 control 信號為讀出時，控制電路進入讀出模式，並接收由比較電路產生的讀出資料，並由資料輸出入接點輸出。而測試電路用以接收儲存於複數個記憶體中相同位置之資料，以及這些資料經過上述比較電路後所產生的讀出資料以產生測試結果，此測試結果可以

英文發明摘要 (發明之名稱：Memory Modeling Circuit with Fault Tolerant)

A memory modeling circuit with fault toleration comprises a compare circuit, a control circuit and a test circuit. The compare circuit receives data saved in the same position of a plurality of memories and compares data with each other to produce a correct reading data. The control circuit connects with control signals of memories and detects the control signals. The control circuit has data output/input ports. When the control signal of memories is to write, the



四、中文發明摘要 (發明之名稱：容錯記憶體模組電路)

指出發生問題的記憶體或是比較電路。

代表圖：第一 B圖；

元件符號：

106第一比較電路

108第二比較電路

110第三比較電路

112第四比較電路

114第一測試電路

116第二測試電路

118第三測試電路

120第四測試電路

英文發明摘要 (發明之名稱：Memory Modeling Circuit with Fault Tolerant)

control circuit enters a writing model and writes writing data received from the data output/input ports in the same position of a plurality of memories. When the control signal of memories is to read, the control circuit enters a reading model, receives a reading data generated by the compare circuit and outputs through the data output/input ports. The test circuit receives data saved in the same position of a plurality of memories and the reading data generated by the



四、中文發明摘要 (發明之名稱：容錯記憶體模組電路)

122第一控制電路

124第二控制電路

126第三控制電路

128第四控制電路

英文發明摘要 (發明之名稱：Memory Modeling Circuit with Fault Tolerant)

compare circuit to generate a testing result. The testing result can index a fault memory or a fault compare circuit.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

5-1發明領域：

本發明係關於容錯電路設計，特別是有關於一種具容錯能力的記憶體模組電路。

5-2發明背景：

需要高可靠度 (high reliability) 記憶體系統的設備，如大型企業或是公營機構中的伺服器；金融機構的主機；醫院設備；飛機或太空船的導航系統；或是需要在惡劣環境下使用的設備。由於這些設備中的記憶體系統需要儲存非常重要的資料，因此需要高可靠度的記憶體系統，以確保資料的正確性，使得整個系統得以正常的運作。

為了提高記憶體的可靠度，習知的做法除了增加記憶體出貨前的測試項目，用以檢測出不良有瑕疵的記憶體，並將記憶體中的錯誤位元 (error bit) 廢棄 (disable) 不使用之外，亦可使用軟體偵錯、除錯的方式將錯誤位元 (error bit) 更正。

然而，使用軟體偵錯 / 除錯的方式固然可以即時、有效的提高記憶體的可靠度，但是當遇到記憶體內部的儲存資料大量錯誤時，也只有更換新的記憶體一途。而至於其他方法也都是只能事後補救，並無法即時偵測出錯誤。



五、發明說明 (2)

因此，也就是說當記憶體發生問題時，使用軟體偵錯/除錯的方式可立即處理一個位元 (bit) 或是小量資料的錯誤，然而出現大量資料錯誤時，只有使系統當機而遺失記憶體中的重要資料。而其他大部分的方法，都是只能根據以往錯誤的分析其結果，用以提高將來產品的可靠度，並無法即時處理錯誤。

根據以上所述，實有必要提出一種具容錯能力的記憶體模組電路，用以即時偵錯並更正記憶體中的錯誤。

5-3發明目的及概述：

鑒於上述之發明背景中，傳統記憶體模組所產生之諸多缺點，本發明提供一種具容錯能力的記憶體模組化電路，用以克服傳統上所衍生的問題並提高記憶體的可靠度。

本發明之主要目的為偵測並更正記憶體中的錯誤。

本發明之另一目的為偵測出產生錯誤的記憶體。

本發明之另一目的為提高記憶體模組的可靠度。

根據以上所述之目的，本發明提供一種容錯記憶體模



五、發明說明 (3)

組電路，包含比較電路、控制電路以及測試電路。其中的比較電路，用以接收儲存於複數個記憶體中相同位置之資料，並比較這些資料以產生正確的讀出資料。控制電路與記憶體的 control 信號相連接，並偵測該 control 信號。控制電路具有資料輸出入接點，當記憶體的 control 信號為寫入時，控制電路進入寫入模式，並且將由資料輸出入接點接收之寫入資料分別直接寫入複數個記憶體中相同之位置。當記憶體的 control 信號為讀出時，控制電路進入讀出模式，並接收由比較電路產生的讀出資料，並由資料輸出入接點輸出。而測試電路用以接收儲存於複數個記憶體中相同位置之資料，以及這些資料經過上述比較電路後所產生的讀出資料以產生測試結果，此測試結果可以指出發生問題的記憶體或是比較電路。

其中上述之測試電路、比較電路可由複數個具相同電路設計的次電路所組成。並且控制電路於寫入模式時，阻斷接收由比較電路傳送的資料直到控制電路進入讀出模式。而於讀出模式時，阻斷由比較電路寫入至記憶體的資料直到控制電路進入寫入模式。

5-4發明詳細說明：

本發明的較佳實施例會詳細描述如下。然而，除了詳細描述外，本發明還可以廣泛地施行在其他的實施例中，



五、發明說明 (4)

且本發明的範圍不受限定，其以之後的專利範圍為準。

本發明提供一種容錯記憶體模組電路，包含比較電路、控制電路以及測試電路。其中的比較電路，用以接收儲存於複數個記憶體中相同位置之資料，並比較這些資料以產生正確的讀出資料。控制電路與記憶體的 control 信號相連接，並偵測該 control 信號。控制電路具有資料輸出入接點，當記憶體的 control 信號為寫入時，控制電路進入寫入模式，並且將由資料輸出入接點接收之寫入資料分別直接寫入複數個記憶體中相同之位置。當記憶體的 control 信號為讀出時，控制電路進入讀出模式，並接收由比較電路產生的讀出資料，並由資料輸出入接點輸出。而測試電路用以接收儲存於複數個記憶體中相同位置之資料，以及這些資料經過上述比較電路後所產生的讀出資料以產生測試結果，此測試結果可以指出發生問題的記憶體或是比較電路。

其中上述之測試電路、比較電路可由複數個具相同電路設計的次電路所組成。並且控制電路於寫入模式時，阻斷接收由比較電路傳送的資料直到控制電路進入讀出模式。而於讀出模式時，阻斷由比較電路寫入至記憶體的資料直到控制電路進入寫入模式。

第一 A 圖用以說明本發明之概念，其中當一資料欲寫入記憶體 10 時，首先由控制電路 40 接收寫入資料，然後將



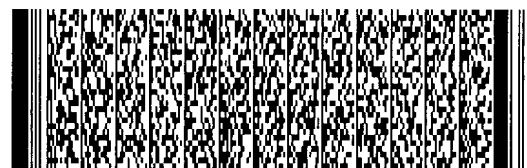
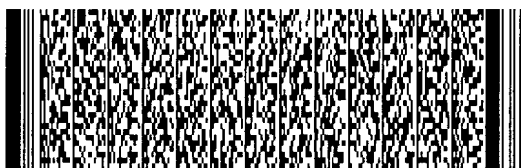
五、發明說明 (5)

資料分別同時寫入第一記憶體 100、第二記憶體 102、第三記憶體 104 中的相同位置。當欲從記憶體 10 讀取資料時，則將第一記憶體 100、第二記憶體 102、第三記憶體 104 中相同位置所讀出之資料，送入比較電路 20 進行比較，用以確認讀出資料的正確性，然後經由控制電路 40 輸出讀出資料。

本發明更揭露於讀取資料時，測試電路 30 同時接收記憶體 10 與比較電路 20 之資料，用以在第一記憶體 100、第二記憶體 102、第三記憶體 104 或是比較電路 20 發生錯誤時，得知發生錯誤的部分。

第一 B 圖用以說明本發明之較佳實施例，其中，第一記憶體 100、第二記憶體 102 以及第三記憶體 104 為相同的記憶體，同時儲存相同的資料，於此較佳實施例中，第一記憶體 100、第二記憶體 102 以及第三記憶體 104 為使用同步動態隨機存取記憶體 (Synchronous Dynamic Random Access Memory, SDRAM)。因此將第一記憶體 100、第二記憶體 102 以及第三記憶體 104 上，相同的資料輸出入接點 DQ0，各別連接至第一比較電路 106 的輸入接點 I1、I2、I3，如第一 B 圖中所示。

當所有的記憶體運作無誤時，第一記憶體 100、第二記憶體 102 以及第三記憶體 104 中儲存的資料，理論上應該



五、發明說明 (6)

相同。第一比較電路 106，用以比較三個記憶體의 輸出入接點 DQ0。假設三個輸出入接點 DQ0 正確的資料應為 "1"。當輸出的資料皆為 "1" 時，或是任意兩個輸出為 "1"，經過第一比較電路 106 的運算後，仍然可以得到正確的輸出 "1"。也就是說，本發明中的比較電路具有偵測並容許一個記憶體發生錯誤的能力。意即，只要第一記憶體 100、第二記憶體 102 以及第三記憶體 104 上相同的輸出入接點 DQ0，不同時發生兩個輸出錯誤，則皆可經由比較電路得到正確的資料輸出。

同樣的，第一記憶體 100、第二記憶體 102 以及第三記憶體 104 上的資料輸出入接點 DQ1，各別連接至第二比較電路 108 的輸入接點 I4、I5、I6。而其資料輸出入接點 DQ2，各別連接至第三比較電路 110 的輸入接點 I7、I8、I9。而其資料輸出入接點 DQ3，各別連接至第四比較電路 112 的輸入接點 IA、IB、IC，如第一 B 圖中所示。

第二 A 圖顯示實現上述比較電路的一較佳實施的邏輯電路。而第二 B 圖則為第二 A 圖所顯示之比較電路的邏輯真值表 (truth table)。然而，顯示於第二 A 圖中的比較電路，僅為本實施例中之較佳實施電路，只要能實現第二 B 圖中真值表結果之邏輯電路，皆可應用於其他實施例中。再者，本發明不但能偵測並更正錯誤的資料，更可進一步檢測出發生問題的記憶體，或是比較電路，讓工程師可以



五、發明說明 (7)

即時進行維護，用以維持記憶體可靠度。

繼續參考第一 B 圖，第一測試電路 114 的四個輸入接點分別與第一比較電路 106 的三個輸入接點 I1、I2、I3 以及輸出接點 0A 連接，而其輸出接點為 C0 至 C5。當第一測試電路 114 的輸出接點 C0 至 C5，產生如第三 A 圖所示的輸出結果時，便可得知發生問題的記憶體，或是比較電路。舉例來說，當第一測試電路 114 的輸出接點 C0 至 C5，產生的輸出為 "C0=1, C1=0, C2=0, C3=1, C4=1, C5=0" 時，由第三 A 圖中可知為第二記憶體 102 的輸出接點 DQ0 發生錯誤。又例如，當第一測試電路 114 的輸出接點 C0 至 C5，產生的輸出為 "C0=0, C1=0, C2=1, C3=0, C4=1, C5=1" 時，由第三 A 圖中可知為第一比較電路 106 的輸出接點 0A 發生錯誤。

同樣的，第一 B 圖中的第二測試電路 116 的四個輸入接點分別與第二比較電路 108 的三個輸入接點 I4、I5、I6 以及輸出接點 1A 連接，而其輸出接點為 C6 至 CB。第三測試電路 118 的四個輸入接點分別與第三比較電路 110 的三個輸入接點 I7、I8、I9 以及輸出接點 2A 連接，而其輸出接點為 CC 至 CH。第四測試電路 120 的四個輸入接點分別與第四比較電路 112 的三個輸入接點 IA、IB、IC 以及輸出接點 3A 連接，而其輸出接點為 CI 至 CN。並且，如同先前所描述的第一測試電路 114，根據第二測試電路 116、第三測試電路 118 以及第四測試電路 120 的輸出結果，可以得知發生問題的



五、發明說明 (8)

記憶體或比較電路。第四圖則用以顯示第一B圖中測試電路的一較佳實施邏輯電路圖。

再次參考第一B圖。由於記憶體的寫入 (write) 與讀出 (read) 是使用同一個的接點，例如第一記憶體100於進行資料寫入或是讀出時，皆共用接點DQ0~DQ3。因此第一控制電路122、第二控制電路124、第三控制電路126以及第四控制電路128用以控制各別記憶體的資料輸出入接點目前是處於資料讀出或是寫入狀態。

舉例來說，當記憶體處於寫入狀態時，其控制信號接點T0至T3的狀態為 $1CS(T0)=0$ ， $1CAS(T1)=0$ ， $1RAS(T2)=1$ ， $1WE(T3)=0$ ，此時第一控制電路122的接點T0，T1，T2，T3經由與記憶體的控制信號接點T0，T1，T2，T3連接，而得知記憶體目前為寫入狀態，因此第一控制電路122會進入寫入模式 (write mode)。當第一控制電路122於寫入模式時，其接點F0用以接受一寫入信號，並經由第一控制電路122的接點I1，I2，I3分別連接至第一記憶體100、第二記憶體102、第三記憶體104的接點DQ0，用以將由接點F0的資料寫入記憶體中。如第一B圖所示，其中第一控制電路122的接點I0A連接至第一比較電路的接點0A，用以取得經比較電路後之正確輸出信號。然而，當第一控制電路122於寫入模式時，其接點I0A將會先被阻斷以阻擋信號進入。

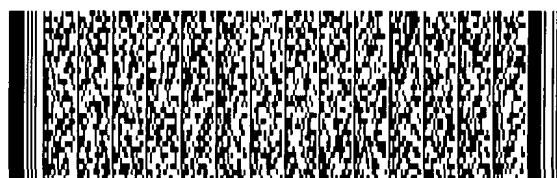


五、發明說明 (9)

又，當記憶體處於讀出狀態時，其控制信號接點T0至T3的狀態為 $1CS(T0)=0$ ， $1CAS(T1)=0$ ， $1RAS(T2)=1$ ， $1WE(T3)=1$ ，第一控制電路122轉換成讀出模式(read mode)，此時其接點I0A由第一比較電路的接點0A取得讀出信號，然後由第一控制電路122的接點F0輸出，當第一控制電路122於讀出模式時，其接點I1、I2、I3將會被阻斷。

因此根據以上所述，當第一控制電路122、第二控制電路124、第三控制電路126、第四控制電路128的接點F0、F1、F2、F3，用以接受一寫入資料時，控制電路將接點I0A、I1A、I2A、I3A切斷，而透過接點I1、I2、I3、I4、I5、I6、I7、I8、I9、IA、IB、IC與各別記憶體的接點DQ0、DQ1、DQ2、DQ3連接，而將資料寫入記憶體中，如第一B圖所示。當F0、F1、F2、F3，用以輸出一讀出資料時，控制電路的接點I1、I2、I3、I4、I5、I6、I7、I8、I9、IA、IB、IC切斷，而接點I0A、I1A、I2A、I3A由比較電路得到正確的讀出資料，而同樣使用控制電路的接點F0、F1、F2、F3輸出讀出資料。

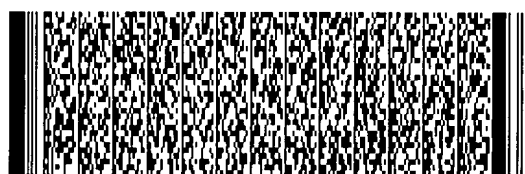
第五A圖用以顯示本發明中控制電路的較佳實施邏輯電路圖，而第五B圖則為第五A圖的邏輯真值表，以及記憶體讀出/寫入動作狀態說明。繼續參閱第五A圖，當(X=1、Y=0)時，控制電路進入讀出模式，P2及P3被關閉而P0



五、發明說明 (10)

及P1被打開，使P點為1；Q0及Q1被關閉而Q2及Q3被打開，使Q點為0，故使K的左端為0，L的左端為1，並且關閉N，開啟M。而當在資料讀出的過程中，若出現（X=0、Y=0）的狀態，Q1及Q2會被關閉使Q點的電壓維持在（X=1，Y=0）的狀態，而L的左端仍為"1"；同理P0及P3也被關閉使P點的電壓也維持在（X=1，Y=0）的狀態而K的左端仍為"0"，用以繼續保持在讀出模式，直到（X=0、Y=1）時控制電路才會由讀出模式轉變為寫入模式。此時，K的左端為1，L的左端為0，導致開啟N，關閉M。在寫入模式下，若出現（X=0、Y=0）時，Q1及Q2會被關閉使Q點的電壓維持在（X=0，Y=1）的狀況而L的左端為"0"；同理P0及P3也會被關閉使P點的電壓維持在（X=0，Y=1）的狀況，而K的左端為"1"使P2及P3被打開、P0及P1被關閉，使P點為0，Q0及Q1被打開，而Q2及Q3被關閉，使Q點為1，故使控制電路會繼續保持在寫入模式直到下次的模式轉變。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。



圖式簡單說明

第一A圖用以說明本發明之概念；

第一B圖用以說明本發明之一較佳實施電路圖；

第二A圖為第一B圖中比較電路的邏輯電路圖；

第二B圖為第二A圖所顯示電路圖的邏輯真值表；

第三A圖至第三D圖用以說明第一B圖中測試電路的輸出結果及其對應的錯誤；

第四圖為第一B圖中測試電路的邏輯電路圖；

第五A圖為第一B圖中控制電路的邏輯電路圖；

第五B圖為第五A圖所顯示電路圖的邏輯真值表及記憶體讀出/寫入動作狀態說明。

主要部分之代表符號：

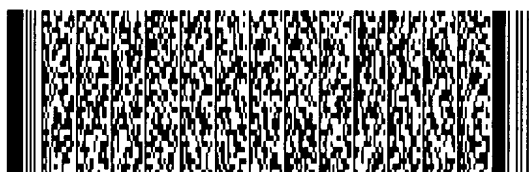
10 記憶體

20 比較電路

30 控制電路

40 測試電路

100 第一記憶體



圖式簡單說明

- 102 第二記憶體
- 104 第三記憶體
- 106 第一比較電路
- 108 第二比較電路
- 110 第三比較電路
- 112 第四比較電路
- 114 第一測試電路
- 116 第二測試電路
- 118 第三測試電路
- 120 第四測試電路
- 122 第一控制電路
- 124 第二控制電路
- 126 第三控制電路
- 128 第四控制電路



六、申請專利範圍

1. 一種容錯記憶體模組電路，包含：

一比較電路，用以接收儲存於複數個記憶體中相同位置之資料，並比較該相同位置之資料以產生一正確的讀出資料；及

一控制電路，該控制電路具有資料輸出入接點，且該控制電路與複數個記憶體的 control 信號連接並偵測該 control 信號，當該複數個記憶體的 control 信號為寫入時，該控制電路進入寫入模式，並且將由該資料輸出入接點所接收之一寫入資料分別直接寫入該複數個記憶體中相同之位置，當該複數個記憶體的 control 信號為讀出時，該控制電路進入讀出模式，該控制電路接收由該比較電路所產生的該讀出資料，並由該資料輸出入接點輸出。

2. 如申請專利範圍第1項所述之容錯記憶體模組電路，其中上述之更包含一測試電路，該測試電路接收儲存於該複數個記憶體中相同位置之資料，以及該相同位置之資料經過該比較電路後所產生的讀出資料，用以產生一測試結果，該測試結果可以指出具有問題的一記憶體或是一比較電路。

3. 如申請專利範圍第2項所述之容錯記憶體模組電路，其中上述之測試電路由複數個具相同電路設計的次測試電路所組成。



六、申請專利範圍

4. 如申請專利範圍第3項所述之容錯記憶體模組電路，其中上述之測試結果為一錯誤碼（error code），然後經由該錯誤碼得知發生問題的該記憶體或是該次測試電路。
5. 如申請專利範圍第1項所述之容錯記憶體模組電路，其中上述之複數個記憶體為相同之記憶體。
6. 如申請專利範圍第5項所述之容錯記憶體模組電路，其中上述之記憶體為同步動態隨機存取記憶體（Synchronous Dynamic Random Access Memory, SDRAM）。
7. 如申請專利範圍第1項所述之容錯記憶體模組電路，其中上述之比較電路由複數個具相同電路設計的次比較電路所組成。
8. 如申請專利範圍第1項所述之容錯記憶體模組電路，其中上述之控制電路於寫入模式時，阻斷接收由該比較電路傳送的資料直到該控制電路進入讀出模式。
9. 如申請專利範圍第1項所述之容錯記憶體模組電路，其中上述之控制電路於讀出模式時，阻斷由該比較電路寫入至該記憶體的資料直到該控制電路進入寫入模式。



六、申請專利範圍

10. 一種容錯記憶體模組電路，包含：

一比較電路，用以接收儲存於複數個記憶體中相同位置之資料，並比較該相同位置之資料以產生一正確的讀出資料；

一控制電路，該控制電路具有資料輸出入接點，且該控制電路與複數個記憶體的的控制信號連接並偵測該控制信號，當該複數個記憶體的的控制信號為寫入時，該控制電路進入寫入模式，並且將由該資料輸出入接點所接收之一寫入資料分別直接寫入該複數個記憶體中相同之位置，當該複數個記憶體的的控制信號為讀出時，該控制電路進入讀出模式，該控制電路接收由該比較電路所產生的該讀出資料，並由該資料輸出入接點輸出；及

一測試電路，該測試電路接收儲存於該複數個記憶體中相同位置之資料，以及該相同位置之資料經過該比較電路後所產生的讀出資料，用以產生一測試結果，該測試結果可以指出具有問題的一記憶體或是一比較電路。

11. 如申請專利範圍第10項所述之容錯記憶體模組電路，其中上述之測試電路由複數個具相同電路設計的次測試電路所組成。

12. 如申請專利範圍第10項所述之容錯記憶體模組電路，其中上述之比較電路由複數個具相同電路設計的次比較電路所組成。



六、申請專利範圍

13. 如申請專利範圍第10項所述之容錯記憶體模組電路，其中上述之測試結果為一錯誤碼（error code），然後一工程師根據該不同的錯誤碼組合，得知發生問題的部分並予以更換以維持可靠度。

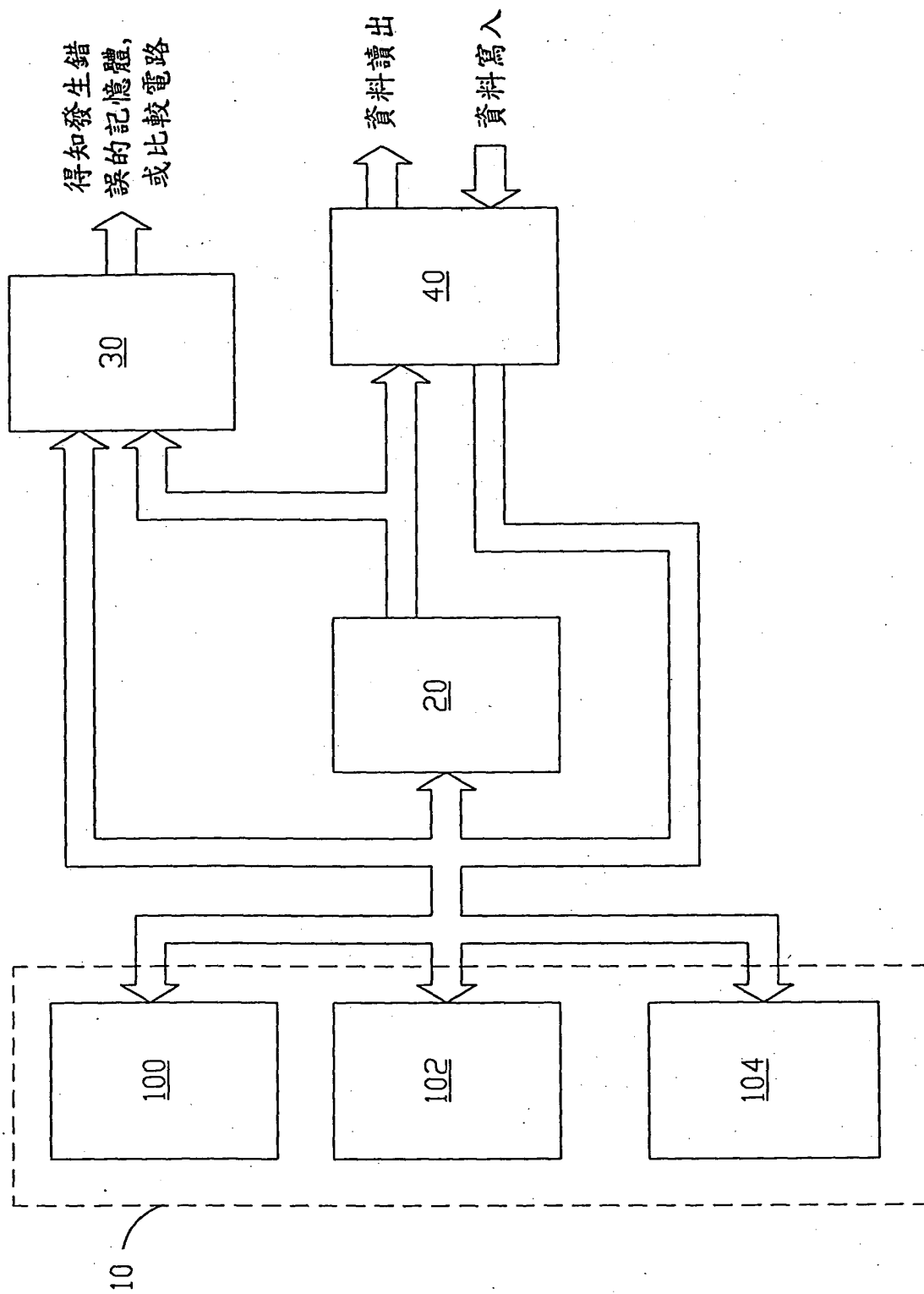
14. 如申請專利範圍第10項所述之容錯記憶體模組電路，其中上述之複數個記憶體為相同之記憶體。

15. 如申請專利範圍第14項所述之容錯記憶體模組電路，其中上述之記憶體為同步動態隨機存取記憶體（Synchronous Dynamic Random Access Memory, SDRAM）。

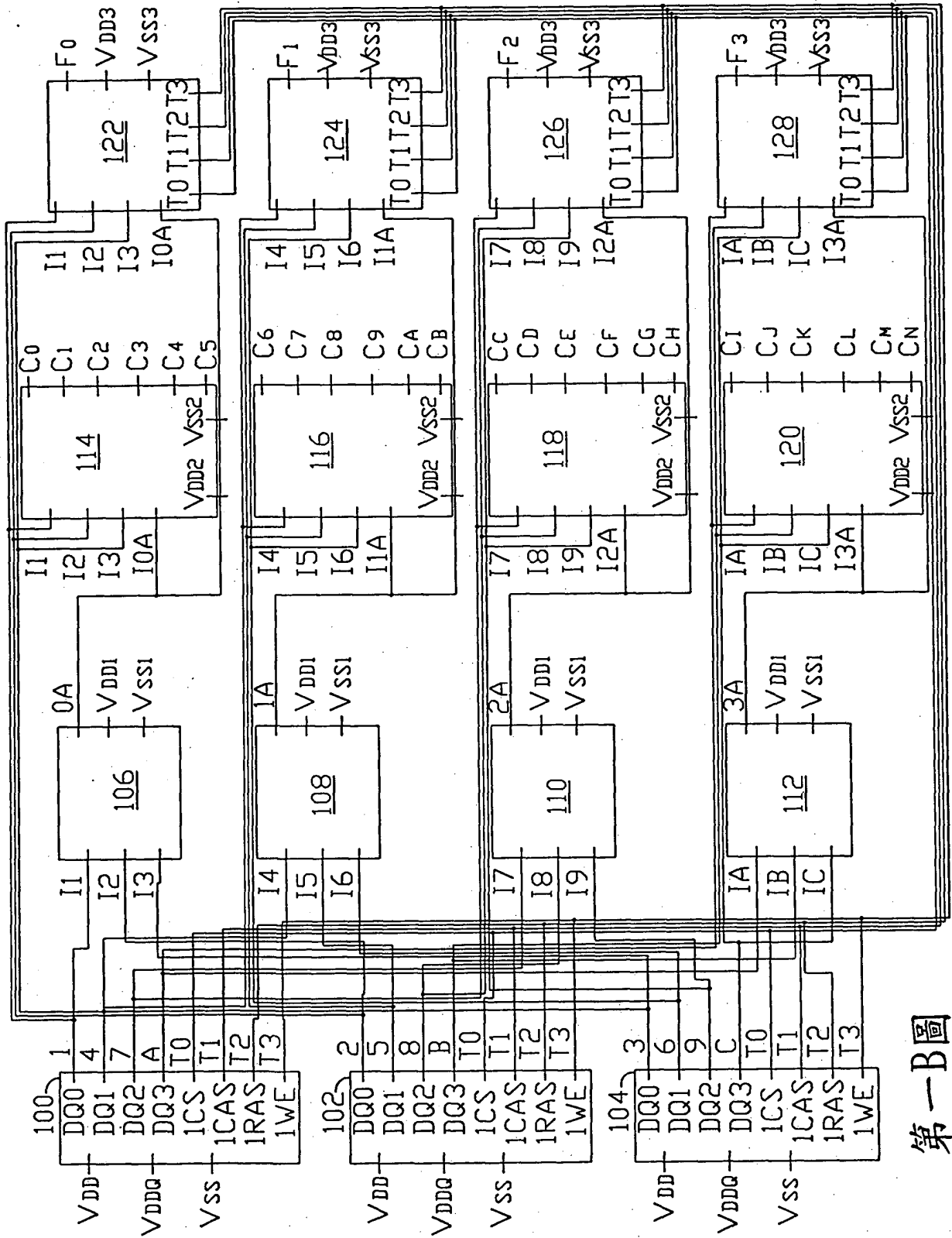
16. 如申請專利範圍第10項所述之容錯記憶體模組電路，其中上述之控制電路於寫入模式時，阻斷接收由該比較電路傳送的資料直到該控制電路進入讀出模式。

17. 如申請專利範圍第10項所述之容錯記憶體模組電路，其中上述之控制電路於讀出模式時，阻斷由該比較電路寫入至該記憶體的資料直到該控制電路進入寫入模式。

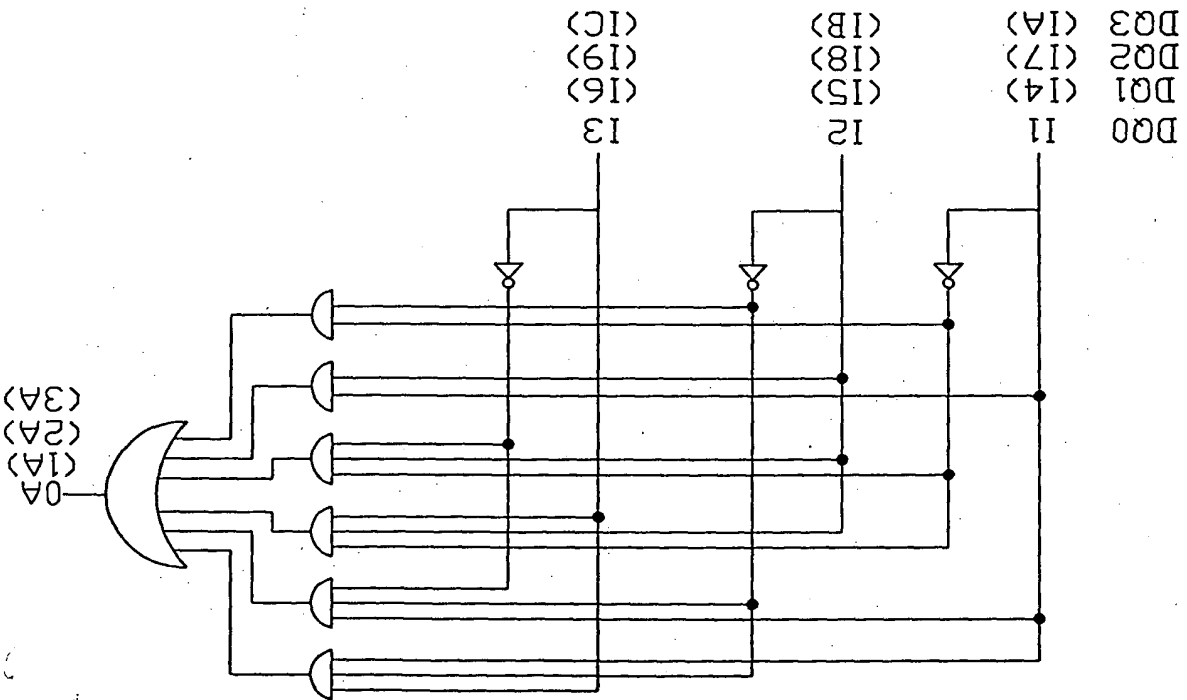




第一A圖



第一B圖



第二A圖

Input			Output
11(14,17,1A)	12(15,18,1B)	13(16,19,1C)	0A(1A,2A,3A)
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

第二B圖

第三A圖

Output						對應結果
C0	C1	C2	C3	C4	C5	
0	0	0	0	0	0	正常
1	0	0	1	1	0	I2(第二記憶體)發生錯誤
1	1	1	0	0	0	I1(第一記憶體)發生錯誤
0	1	0	1	0	1	I3(第三記憶體)發生錯誤
0	0	0	1	1	1	0A(第一比較電路)發生錯誤

第三B圖

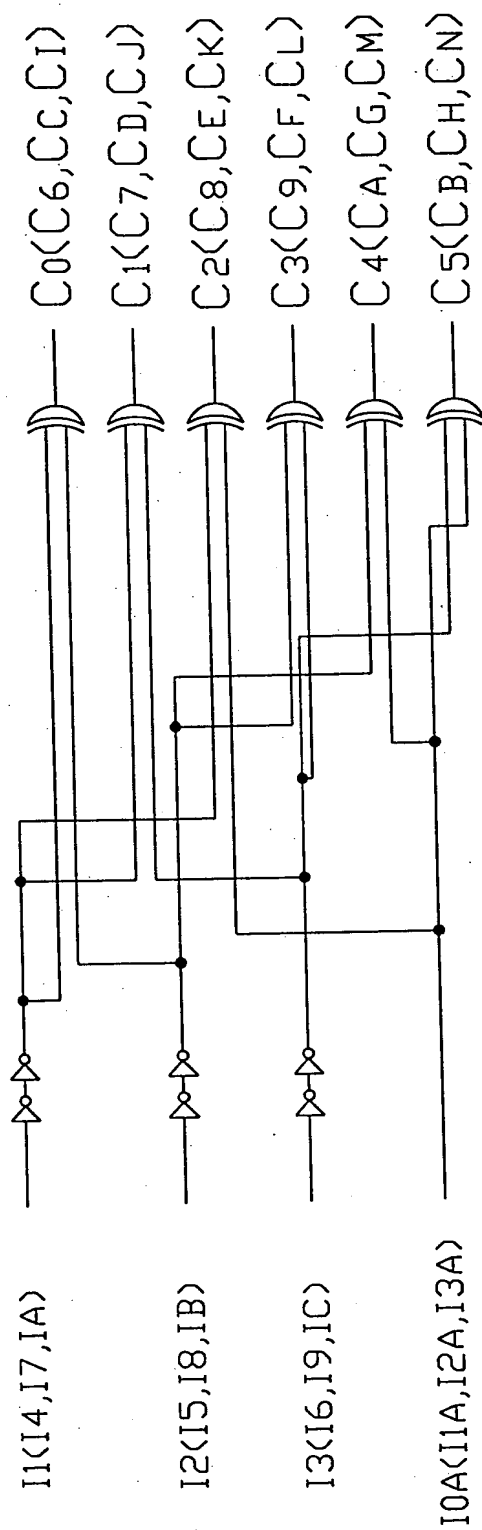
Output						對應結果
C6	C7	C8	C9	CA	CB	
0	0	0	0	0	0	正常
1	0	0	1	1	0	I5(第二記憶體)發生錯誤
1	1	1	0	0	0	I4(第一記憶體)發生錯誤
0	1	0	1	0	1	I6(第三記憶體)發生錯誤
0	0	1	0	1	1	1A(第二比較電路)發生錯誤

第三C圖

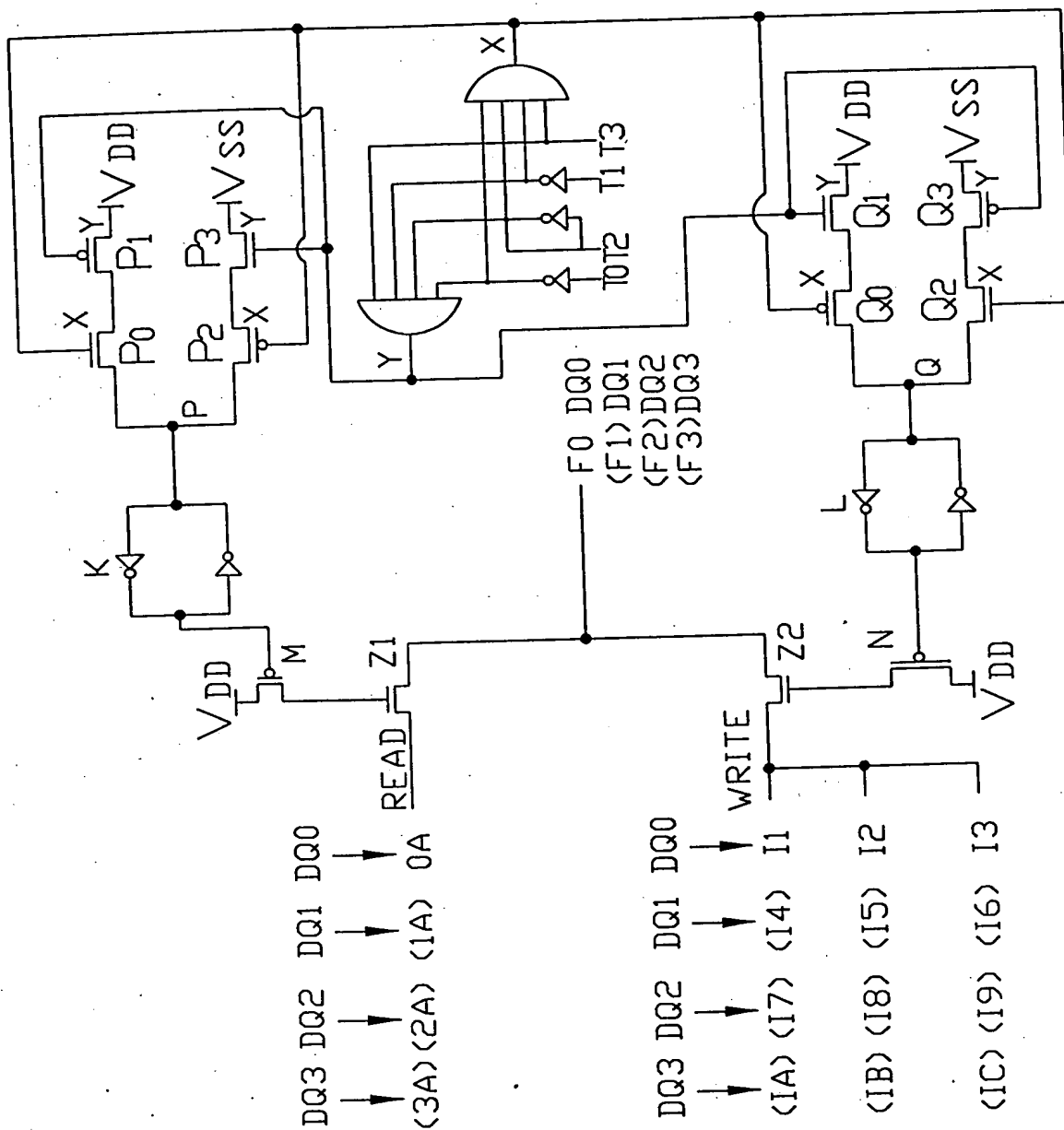
Output						對應結果
CC	CD	CE	CF	CG	CH	
0	0	0	0	0	0	正常
1	0	0	1	1	0	18(第二記憶體)發生錯誤
1	1	1	0	0	0	17(第一記憶體)發生錯誤
0	1	0	1	0	1	19(第三記憶體)發生錯誤
0	0	1	0	1	1	2A(第三比較電路)發生錯誤

第三D圖

Output						對應結果
CI	CJ	CK	CL	CM	CN	
0	0	0	0	0	0	正常
1	0	0	1	1	0	1B(第二記憶體)發生錯誤
1	1	1	0	0	0	1A(第一記憶體)發生錯誤
0	1	0	1	0	1	1C(第三記憶體)發生錯誤
0	0	1	0	1	1	3A(第四比較電路)發生錯誤



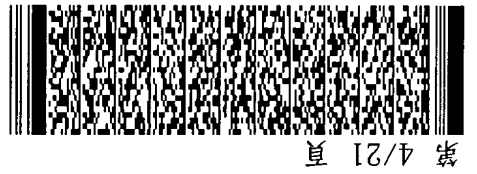
第四圖

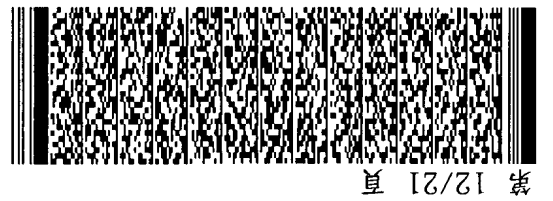


第五A圖

PS:										Memory read/write 的各式動作說明	
X	Y	X'	Y'	X''	Y''	P	Q	K	L	左	
0	0	—	—	—	—	—	—	—	—	—	不做任何讀寫時
0	1	—	—	—	—	0	1	1	0	0	Write
0	0	0	1	—	—	0	1	1	0	0	Write後出現 X=0 Y=0
0	0	0	0	0	1	0	1	1	0	0	Write後一直出現 X=0 Y=0
1	0	0	1	—	—	1	0	0	1	1	Write後立刻出現 Read
0	0	1	0	0	1	1	0	0	1	1	Write後立刻出現 Read之後再出現 X=0 Y=0
0	1	1	0	0	1	0	1	1	0	0	Write後出現 Read再出現 Write
1	0	1	0	0	1	1	0	0	1	1	Write後一直出現 Read
0	1	0	1	—	—	0	1	1	0	0	Write後再出現 Write
0	0	0	1	0	1	0	1	1	0	0	Write後再出現 Write再出現 X=0 Y=0
1	0	0	1	0	1	1	0	0	1	1	Write後再出現 Write再出現 Read
1	0	—	—	—	—	1	0	0	1	1	Read
0	0	1	0	—	—	1	0	0	1	1	Read後出現 X=0 Y=0
0	0	0	0	1	0	1	0	0	1	1	Read後一直出現 X=0 Y=0
0	1	1	0	—	—	0	1	1	0	0	Read後出現 Write
0	0	0	1	1	0	0	1	1	0	0	Read後立刻出現 Write之後再出現 X=0 Y=0
0	1	0	1	1	0	0	1	1	0	0	Read後一直出現 Write
1	0	0	1	1	0	1	0	0	1	1	Read後出現 Write再出現 Read
1	0	1	0	—	—	1	0	0	1	1	Read後一直出現 Read
0	0	1	0	1	0	1	0	0	1	1	Read後出現 Read再出現 X=0 Y=0
0	1	1	0	1	0	0	1	1	0	0	Read後出現 Read再出現 Write
0	1	0	0	1	0	0	1	1	0	0	Read後出現 X=0 Y=0再出現 Write
1	0	0	0	0	1	1	0	0	1	1	Write後出現 X=0 Y=0再出現 Read

第五B圖





第 12/21 頁



第 13/21 頁



第 14/21 頁



第 15/21 頁



第 16/21 頁



第 18/21 頁



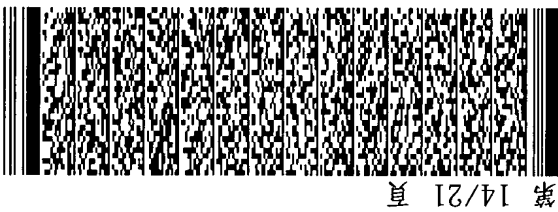
第 20/21 頁



第 12/21 頁



第 13/21 頁



第 14/21 頁



第 15/21 頁



第 17/21 頁



第 19/21 頁



第 21/21 頁